|  |  |
| --- | --- |
| TRƯỜNG ĐẠI HỌC VĂN HIẾN | **CỘNG HÒA XÃ HỘI CHỦ NGHĨA VIỆT NAM** |
| **KHOA KỸ THUẬT – CÔNG NGHỆ** | **Độc lập – Tự do – Hạnh phúc** |
|  |  |

**ĐỀ CƯƠNG CHI TIẾT HỌC PHẦN**

1. **Thông tin về học phần**
* Tên học phần: **Thiết kế hệ thống trên SoC**
* Mã học phần: ELE417
* Số tín chỉ: 3 tín chỉ (2/1/6)
* Bậc đào tạo: Đại học
* Loại học phần (bắt buộc/tự chọn): Bắt buộc
* Học phần tiên quyết/ Học phần trước: Cơ sở dữ liệu
* Đơn vị phụ trách: Khoa Kỹ thuật – Công nghệ
* Số giờ tín chỉ: 45 tiết, trong đó:
* Lý thuyết: 30 tiết (1 tín chỉ LT = 15 tiết)
* Thực hành: 30 tiết (1 tín chỉ TH = 30 tiết)
1. **Thông tin về giảng viên**

Giảng viên 1:

* Họ và tên:
* Chức danh, học vị:
* Thời gian làm việc: Giờ hành chính (8:00 -16:00)
* Địa điểm làm việc: Khoa Kỹ thuật – Công nghệ, Trường Đại học Văn Hiến
* Điện thoại:
* Email:

Giảng viên 2:

* Họ và tên:
* Chức danh, học vị:
* Thời gian làm việc: Giờ hành chính (8:00 -16:00)
* Địa điểm làm việc: Khoa Kỹ thuật – Công nghệ, Trường Đại học Văn Hiến
* Điện thoại:
1. **Tóm tắt nội dung học phần**

Học phần cung cấp cho sinh viên kiến thức và kỹ năng cần thiết về quá trình thiết kế các hệ thống on-chip (SoC). Sinh viên sẽ tìm hiểu các khái niệm cơ bản về SoC, các thách thức trong việc tích hợp phần cứng và phần mềm, cũng như các phương pháp và kỹ thuật tiên tiến trong thiết kế hệ thống nhúng.

Ngoài ra, học phần còn cung cấp cách sử dụng các Kit phát triển FPGA và phần mềm tương ứng để thiết kế và hiện thực hóa các SoC.

1. **Mục tiêu của học phần**

Môn học nhằm trang bị cho sinh viên kiến thức và kỹ năng cần thiết để thiết kế và phát triển hệ thống trên SoC, giúp họ trở thành những kỹ sư thiết kế có khả năng làm việc trong các lĩnh vực như vi mạch, điện tử và công nghệ thông tin. Sau khi hoàn thành môn học, sinh viên sẽ có khả năng áp dụng các công nghệ hiện đại trong thiết kế hệ thống, từ lập kế hoạch đến thực hiện và tối ưu hóa.

1. **Chuẩn đầu ra của học phần:**

| **Mã CĐR** | **Nội dung chuẩn đầu ra** |
| --- | --- |
| **Kiến thức** |
| CLO1 | Hiểu các khái niệm cơ bản về hệ thống on-chip (SoC) và các thành phần chính của SoC. |
| CLO2 | Hiểu các bước trong quy trình thiết kế SoC, từ thiết kế phần cứng đến tích hợp phần mềm. |
| CLO3 | Hiểu được vai trò và chức năng của các thành phần trong SoC. |
| CLO4 | Hiểu được mối quan hệ và sự phụ thuộc giữa phần cứng và phần mềm trong hệ thống nhúng. |
| **Kỹ năng** |
| CLO5 | Sử dụng công cụ phát triển FPGA và các phần mềm mô phỏng trong quá trình thiết kế SoC. |
| CLO6 | Phân tích và đánh giá hiệu suất của các thiết kế SoC trong môi trường thực tế. |
| CLO7 | Thiết kế và phát triển hệ thống SoC dựa trên các yêu cầu kỹ thuật và ứng dụng cụ thể. |
| **Mức độ tự chủ và trách nhiệm** |
| CLO8 | Tổ chức làm việc nhóm, tổng hợp, đánh giá và đề xuất được công việc của các cá nhân trong nhóm thông qua bài tập, bài thực hành. |
| CLO9 | Lập kế hoạch làm việc độc lập và thực hiện được bài tập sau mỗi bài học, bài thực hành. |

**Ma trận liên kết giữa Chuẩn đầu ra chương trình đào tạo và Chuẩn đầu ra học phần**

| **Chuẩn đầu ra** | **PLO1** | **PLO2** | **PLO3** | **PLO4** | **PLO5** | **PLO6** | **PLO7** | **PLO8** | **PLO9** | **PLO10** | **PLO11** | **PLO12** |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| CLO1 |  | X |  |  |  |  |  |  |  |  |  |  |
| CLO2 |  | X |  |  |  |  |  |  |  |  |  |  |
| CLO3 |  | X |  |  |  |  |  |  |  |  |  |  |
| CLO4 |  | X |  |  |  |  |  |  |  |  |  |  |
| CLO5 |  |  |  | X | X |  |  | X |  |  |  |  |
| CLO6 |  |  |  | X | X |  |  | X |  |  |  |  |
| CLO7 |  |  |  | X | X |  |  | X |  |  |  |  |
| CLO8 |  |  |  |  |  |  |  |  |  |  | X |  |
| CLO9 |  |  |  |  |  |  |  |  |  |  | X |  |

***Ghi chú: PLOs*** *(ProgrammeLearningOutcomes): Chuẩn đầu ra cấp CTĐT*

 ***CLOs*** *(Course LearningOutcomes): Chuẩn đầu ra học phần*

1. **Nội dung chi tiết của học phần**

**6.1. Lý thuyết**

| **Chương** | **Nội dung** | **Đáp ứng CLOs** |
| --- | --- | --- |
| **Chương 1** | **Giới thiệu về SoC (System-on-Chip)** | **CLO1, CLO2, CLO7, CLO8, CLO9** |
| 1.1. | Khái niệm SoC và vai trò trong hệ thống nhúng hiện đại |  |
| 1.2. | So sánh SoC với vi điều khiển (MCU), vi xử lý (CPU), FPGA |  |
| 1.3. | Kiến trúc cơ bản của SoC: phần cứng, phần mềm, bus, bộ nhớ, IP core |  |
| 1.4. | Ứng dụng thực tế: thiết bị di động, IoT, ô tô, AI |  |
| **Chương 2** | **Kiến trúc phần cứng SoC** | **CLO1, CLO2, CLO3, CLO5, CLO8, CLO9** |
| 2.1. | Cấu trúc tổng thể của SoC: CPU core, bộ nhớ, DMA, các IP |  |
| 2.2. | Hệ thống bus giao tiếp: AMBA (AXI, AHB, APB), Wishbone |  |
| 2.3. | Cơ chế truy cập và điều khiển tài nguyên |  |
| **Chương 3** | **Thiết kế phần cứng SoC bằng ngôn ngữ mô tả phần cứng (HDL)** | **CLO1, CLO2, CLO6, CLO7, CLO8, CLO9** |
| 3.1. | Sử dụng Verilog/VHDL để thiết kế mạch s |  |
| 3.2. | Mạch tổ hợp, mạch tuần tự, bộ điều khiển, bộ đếm |  |
| 3.3. | Thiết kế IP core tùy chỉnh |  |
| **Chương 4** | **Tích hợp IP và kết nối hệ thống** | **CLO1, CLO2, CLO4, CLO7, CLO8, CLO9** |
| 4.1. | Sử dụng IP core từ thư viện (IP Catalog) |  |
| 4.2. | Tích hợp phần cứng trên công cụ thiết kế (Vivado, Quartus) |  |
| 4.3. | Mapping và constraint |  |
| **Chương 5** | **Thiết kế phần mềm cho SoC** | **CLO1, CLO2, CLO6, CLO7, CLO8, CLO9** |
| 5.1. | Toolchain: cross-compilation, linker script |  |
| 5.2. | Giao tiếp giữa phần mềm và phần cứng (memory-mapped I/O) |  |
| 5.3. | Thiết kế firmware, bare-metal programming |  |
| **Chương 6** | **Thiết kế phần mềm cho SoC** | **CLO1, CLO2, CLO6, CLO7, CLO8, CLO9** |
| 6.1. | UART, SPI, I2C, GPIO |  |
| 6.2. | Điều khiển cảm biến, thiết bị ngoại vi |  |
| 6.3. | Đồng bộ hóa phần cứng – phần mềm |  |
| **Chương 7** | **Thiết kế, mô phỏng và kiểm thử hệ thống** | **CLO1, CLO2, CLO6, CLO7, CLO8, CLO9** |
| 7.1. | Mô phỏng hành vi (behavioral), chức năng (functional) |  |
| 7.2. | Timing simulation |  |
| 7.3. | Verification: Testbench, waveform |  |

**6.2. Thực hành**

| **Bài** | **Nội dung** | **Đáp ứng CLOs** |
| --- | --- | --- |
| **Bài 1** | **Làm quen với Kit phát triển SoC** | **CLO1, CLO2, CLO6, CLO7, CLO8, CLO9** |
| 1.1. | Cấu hình sơ bộ, sơ đồ chân, nạp chương trình |  |
| 1.2. | Viết chương trình điều khiển LED, nút nhấn |  |
| **Bài 2** | **Thiết kế và mô phỏng mạch số cơ bản bằng Verilog** | **CLO1, CLO2, CLO3, CLO7, CLO8, CLO9** |
| 2.1. | Bộ đếm |  |
| 2.2. | Thanh ghi |  |
| 2.3. | Mux |  |
| **Bài 3** | **Tạo và tích hợp IP core tùy chỉnh** | **CLO1, CLO2, CLO6, CLO7, CLO8, CLO9** |
| 3.1. | Tạo IP điều khiển LED hoặc PWM bằng HDL |  |
| 3.2. | Export IP và tích hợp trong Vivado block design |  |
| **Bài 4** | **Giao tiếp phần mềm – phần cứng** | **CLO1, CLO2, CLO4, CLO7, CLO8, CLO9** |
| 4.1. | Giao tiếp bằng memory-mapped register |  |
| 4.2. | Viết chương trình C để điều khiển phần cứng |  |
| **Bài 5** | **Giao tiếp với thiết bị ngoại vi** | **CLO1, CLO2, CLO6, CLO7, CLO8, CLO9** |
| 5.1. | Giao tiếp UART với PC, SPI với cảm biến |  |
| 5.2. | Nhận dữ liệu từ cảm biến và hiển thị lên LCD |  |
| **Bài 6** | **Thiết kế hệ thống SoC hoàn chỉnh** | **CLO1, CLO2, CLO5, CLO7, CLO8, CLO9** |
| 6.1. | Thiết kế một ứng dụng |  |

1. **Phân bổ thời gian theo tiết và điều kiện thực hiện**

**7.1. Lý thuyết**

| **Chương** | **Tên chương** | **Số tiết tín chỉ** | **Ghi chú** |
| --- | --- | --- | --- |
| **Lý thuyết** | **Bài tập** | **Thực hành** | **Tự học** | **Tổng** |
| 1 | Giới thiệu về SoC | 2 | 0 | 0 | 4 | 6 |  |
| 2 | Kiến trúc phần cứng SoC | 3 | 0 | 0 | 6 | 9 |  |
| 3 | Thiết kế phần cứng SoC bằng ngôn ngữ mô tả phần cứng (HDL) | 5 | 0 | 0 | 10 | 15 |  |
| 4 | Tích hợp IP và kết nối hệ thống | 5 | 0 | 0 | 10 | 15 |  |
| 5 | Thiết kế phần mềm cho SoC | 5 | 0 | 0 | 10 | 15 |  |
| 6 | Giao tiếp ngoại vi | 5 | 0 | 0 | 10 | 15 |  |
| 7 | Thiết kế, mô phỏng và kiểm thử hệ thống | 5 | 0 | 0 | 10 | 15 |  |
| **Tổng** | **30** | **0** | **0** | **60** | **90** |  |

**7.2. Thực hành**

| **Bài** | **Tên bài** | **Số tiết tín chỉ** | **Ghi chú** |
| --- | --- | --- | --- |
| **Lý thuyết** | **Bài tập** | **Thực hành** | **Tự học** | **Tổng** |
| 1 | Làm quen với Kit phát triển SoC | 0 | 0 | 5 | 10 | 15 |  |
| 2 | Thiết kế và mô phỏng mạch số cơ bản bằng Verilog | 0 | 0 | 5 | 10 | 15 |  |
| 3 | Tạo và tích hợp IP core tùy chỉnh | 0 | 0 | 5 | 10 | 15 |  |
| 4 | Giao tiếp phần mềm – phần cứng | 0 | 0 | 5 | 10 | 15 |  |
| 5 | Giao tiếp phần mềm – phần cứng | 0 | 0 | 5 | 10 | 15 |  |
| 6 | Thiết kế hệ thống SoC hoàn chỉnh | 0 | 0 | 5 | 10 | 15 |  |
| **Tổng** | **0** | **0** | **30** | **60** | **90** |  |

**CÁC CHỦ ĐỀ THẢO LUẬN VÀ TIỂU LUẬN**

1.

2.

3.

1. **Phương pháp giảng dạy**

Giảng viên giảng dạy với sự kết hợp của một số phương pháp sau:

* + Thuyết trình
	+ Đọc và tóm lược nội dung tài liệu
	+ Động não nhanh (bài tập tư duy cá nhân)
	+ Thực hành thí nghiệm
	+ Trình bày trực quan
	+ Giao bài đọc về nhà
	+ Hướng dẫn tự học
	+ Thảo luận nhóm

**Ma trận liên kết giữa Chuẩn đầu ra với phương pháp giảng dạy**

| **Phương pháp giảng dạy** | **CLO1** | **CLO2** | **CLO3** | **CLO4** | **CLO5** | **CLO6** | **CLO7** | **CLO8** | **CLO9** |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Thuyết trình | X | X | X | X | X | X | X | X | X |
| Đọc và tóm lược nội dung tài liệu | X | X | X | X | X | X | X | X | X |
| Động não nhanh (bài tập tư duy cá nhân) | X | X | X | X | X | X | X | X | X |
| Thực hành thí nghiệm | X | X | X | X | X | X | X | X | X |
| Trình bày trực quan | X | X | X | X | X | X | X | X | X |
| Giao bài đọc về nhà | X | X | X | X | X | X | X | X | X |
| Hướng dẫn tự học | X | X | X | X | X | X | X | X | X |
| Thảo luận nhóm | X | X | X | X | X | X | X | X | X |

1. **Phương pháp học tập**

Sinh viên học tập với sự kết hợp của một số phương pháp sau:

* + Thuyết trình
	+ Làm việc nhóm
	+ Tự học, tự nghiên cứu
	+ Làm thí nghiệm theo nhóm
	+ Tìm kiếm thông tin/tài liệu

**Ma trận liên kết giữa Chuẩn đầu ra với phương pháp học tập**

| **Phương pháp học tập** | **CLO1** | **CLO2** | **CLO3** | **CLO4** | **CLO5** | **CLO6** | **CLO7** | **CLO8** | **CLO9** |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Thuyết trình | X | X | X | X | X | X | X | X | X |
| Làm việc nhóm | X | X | X | X | X | X | X | X | X |
| Tự học, tự nghiên cứu | X | X | X | X | X | X | X | X | X |
| Làm thí nghiệm theo nhóm | X | X | X | X | X | X | X | X | X |
| Tìm kiếm thông tin/tài liệu | X | X | X | X | X | X | X | X | X |

1. **Nhiệm vụ của sinh viên**
	1. - Chủ động tổ chức thực hiện giờ tự học.
	2. - Tham gia đầy đủ các giờ lên lớp và giờ thuyết trình (sinh viên chỉ được vắng mặt tối đa 20% thời gian lên lớp của học phần).
	3. - Đọc tài liệu tham khảo bắt buộc và bổ trợ do giảng viên giới thiệu.
	4. - Hoàn thành đầy đủ các bài tập cá nhân, bài tập nhóm.
	5. - Tham gia kỳ thi kết thúc học phần.
2. **Thang điểm đánh giá:** Điểm đánh giá quá trình và điểm thi kết thúc học phần được chấm theo thang điểm 10 (từ 0 đến 10), làm tròn đến 1 chữ số thập phân.
3. **Phương pháp kiểm tra, đánh giá kết quả học tập**

Sinh viên được đánh giá kết quả học tập trên cơ sở hai điểm thành phần như sau:

1. *Điểm đánh giá quá trình: trọng số 40% bao gồm:*
	1. Điểm chuyên cần: trọng số 10%
	2. Điểm kiểm tra giữa kỳ: trọng số 30%
2. *Điểm thi kết thúc học phần: trọng số 60%*

Hình thức thi: Tự luận viết/Báo cáo thực hành

**Ma trận quan hệ giữa Chuẩn đầu ra và phương pháp kiểm tra, đánh giá**

| **Hình thức đánh giá** | **CLO1** | **CLO2** | **CLO3** | **CLO4** | **CLO5** | **CLO6** | **CLO7** | **CLO8** | **CLO9** |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Báo cáo thực hành | X | X | X | X | X | X | X | X | X |
| Tự luận viết | X | X | X | X | X | X | X | X | X |
| Thuyết trình | X | X | X | X | X | X | X | X | X |
| Dự lớp |  |  |  |  |  |  |  |  |  |

1. **Tài liệu phục vụ cho học phần**

**13.1. Tài liệu chính**

- Peter Athanas, Dionisios Pnevmatikatos, Nikitas Dimopoulos, (2020), Embedded Systems Design with FPGAs and SoCs, Springer.

**13.2. Tài liệu tham khảo**

**-** Pong P. Chu, (2017), FPGA Prototyping by VHDL Examples, ‎Wiley.

*TP.Hồ Chí Minh, ngày 29 tháng 09 năm 2024*

|  |  |  |
| --- | --- | --- |
| **HIỆU TRƯỞNG****PGS.TS. Nguyễn Minh Đức** | **Trưởng khoa/Bộ môn****TS. Đinh Thị Thủy** | **Giảng viên biên soạn** |